

(19) 世界知的所有権機関
国際事務局

Rec'd PCT/PTO 14 JAN 2005

(43) 国際公開日
2004 年 1 月 22 日 (22.01.2004)

PCT

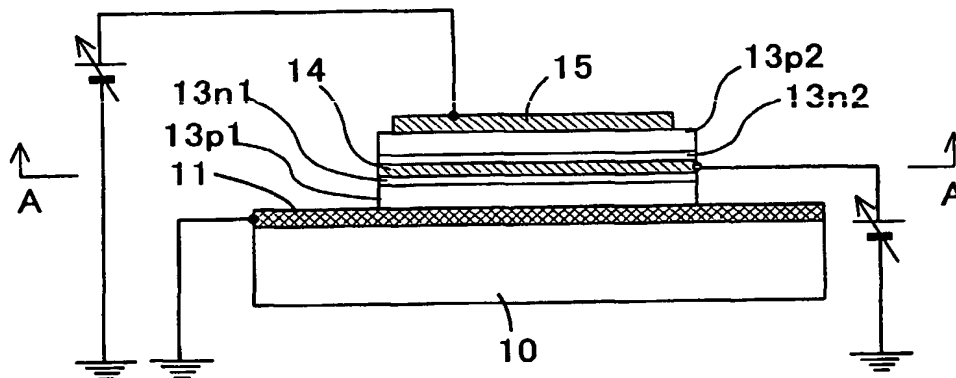
(10) 国際公開番号
WO 2004/008545 A1

- (51) 国際特許分類: H01L 29/80, 21/334, 51/00 (71) 出願人 (米国を除く全ての指定国について): パイオニア株式会社 (PIONEER CORPORATION) [JP/JP]; 〒153-8654 東京都目黒区目黒 1 丁目 4 番 1 号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/008761
- (22) 国際出願日: 2003 年 7 月 10 日 (10.07.2003) (72) 発明者; および
- (25) 国際出願の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 吉澤 淳志 (YOSHIZAWA, Atsushi) [JP/JP]; 〒350-2288 埼玉県鶴ヶ島市富士見 6 丁目 1 番 1 号 パイオニア株式会社 総合研究所内 Saitama (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: (74) 代理人: 藤村 元彦 (FUJIMURA, Motohiko); 〒104-0045 東京都中央区築地 4 丁目 1 番 17 号 銀座大野ビル 藤村国際特許事務所 Tokyo (JP).
- 特願2002-205634 2002 年 7 月 15 日 (15.07.2002) JP
特願2002-205635 2002 年 7 月 15 日 (15.07.2002) JP

[続葉有]

(54) Title: ORGANIC SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 有機半導体素子及びその製造方法



(57) Abstract: An organic semiconductor device having a p-type organic semiconductor layer interposed between a source electrode and a drain electrode is provided with an n-type organic semiconductor layer arranged in the middle of the p-type organic semiconductor layer and a gate electrode embedded in the n-type organic semiconductor layer. An organic semiconductor device having an n-type organic semiconductor layer interposed between a source electrode and a drain electrode is provided with a p-type organic semiconductor layer arranged in the middle of the n-type organic semiconductor layer and a gate electrode embedded in the p-type organic semiconductor layer, thereby suppressing leakage current flowing between the electrodes. An organic semiconductor device provided with an organic semiconductor layer having carrier mobility and interposed between a source electrode and a drain electrode, further has a gate electrode, which is embedded in the organic semiconductor layer and composed of at least two intermediate electrode pieces respectively disposed on at least two planes spaced and arranged between the source electrode and the drain electrode in the direction of the film thickness. The gate electrode is embedded therein through fusion of the organic semiconductor layer.

(57) 要約: ソース電極及びドレイン電極間に挟持された p 型有機半導体層を備えた有機半導体素子において、p 型有機半導体層の中間に介在された n 型有機半導体層と、n 型有機半導体層に包埋されたゲート電極と、を備える。ソース電極及びドレイン電極間に挟持された n 型有機半導体層を備えた有機半導体素子において、n 型有機半導体層の中間に介在された p 型有機半導体層と、p 型有機半導体層に包埋されたゲート電極と、を備え電極間の漏れ電流の発生を抑制する。また、有

[続葉有]



(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許

(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

機半導体素子はソース電極及びドレイン電極間に挟持されかつキャリア移動性を有する有機半導体層を備え、さらに、有機半導体層に包埋されかつソース電極及びドレイン電極間に離間して並設された少なくとも2つの平面の各々に配置されかつ膜厚方向において配置された少なくとも2つの中間電極片からなるゲート電極を有する。有機半導体層の融解によりゲート電極が包埋される。

明細書

有機半導体素子及びその製造方法

5 技術分野

本発明は、キャリア移動性の有機化合物からなる有機半導体層を備えた有機半導体素子及びその製造方法に関する。

背景技術

有機半導体層に電圧を加えると有機半導体層に電荷密度が増加するので、有機半導体層上に1対の電極を設けその間に電流を流すことが可能になる。例えば、縦型構造のSIT（静電誘導形トランジスタ）構造の有機トランジスタなどの有機半導体素子においては、有機半導体層を挟むソース電極及びドレイン電極の間のゲート電極で有機半導体層の厚さ方向に電圧を印加して、有機半導体層の厚さ方向の電流をスイッチングできる。

15 SITは、図1に示すように、有機半導体層13を1対のソース電極11及びドレイン電極15で挟み、有機半導体層の厚さ方向の途中にゲート電極14を形成した3端子構造を有する。そのゲート電極に電圧を印加し、有機半導体層にできる空乏層DpLによってソース電極及びドレイン電極間の電流を制御することができる。

20 SIT構造の有機トランジスタでは、例えば、正電荷を印加したゲート電極14の複数の短冊形枝部の周りに生じる有機半導体層の複数の空乏層DpLによって、ソース電極及びドレイン電極間の膜厚方向のキャリア移動を阻止する。

しかしながら、空乏層D p L各々の拡がりが不十分であると、図2に示すゲート電極14の短冊形枝部の間隔Wを空乏層D p Lで埋めることができず、漏れ電流が増加する。すなわち、キャリア移動を阻止し漏れ電流減少のためにゲート電極の短冊形枝部の間隔を狭めるには、微細構造のマスクを用いたゲート電極の形成が必要となる。

一般に、S I T構造の有機トランジスタにおける有機半導体層の膜厚は数百nmであり、ソース電極及びドレイン電極の間に形成されるべきゲート電極も50～100nmといった厚さとなる。そうすると有機半導体層、ゲート電極、有機半導体層と順次成膜した際、有機トランジスタは、ゲート電極の複数の短冊形枝部が、そのまま、その後工程で積層される有機半導体層やドレイン電極に転写され、表面に凹凸が残ってしまい、漏れ電流の増加に影響する。

本発明の解決しようとする課題には、電極間の漏れ電流の発生を抑制した有機半導体素子を提供することが一例として挙げられる。

発明の開示

15 本発明の有機半導体素子は、ソース電極及びドレイン電極間に挟持されたp型有機半導体層を備えた有機半導体素子であって、前記p型有機半導体層の間に介在されたn型有機半導体層と、前記n型有機半導体層に包埋されたゲート電極と、を備えたことを特徴とする。

20 本発明の有機半導体素子は、ソース電極及びドレイン電極間に挟持されたn型有機半導体層を備えた有機半導体素子であって、前記n型有機半導体層の間に介在されたp型有機半導体層と、前記p型有機半導体層に包埋されたゲート電極と、を備えたことを特徴とする有機半導体素子。

本発明の有機半導体素子は、ソース電極及びドレイン電極間に挟持されかつ
キャリア移動性を有する有機半導体層を備えた有機半導体素子であって、前記
有機半導体層に包埋されかつ前記ソース電極及びドレイン電極間に離間して並
設された少なくとも2つの平面の各々に配置されかつ膜厚方向において配置さ
れた少なくとも2つの中間電極片からなるゲート電極を有することを特徴とす
5 る。

本発明の有機半導体素子の製造方法は、ソース電極及びドレイン電極間に成
膜されかつゲート電極を包埋する有機半導体層を備えた有機半導体素子の製造
方法であって、

10 ソース電極及びドレイン電極のいずれか上に、第1有機半導体層を形成する
第1有機半導体層積層工程と、

前記第1有機半導体層上の一部に第1中間電極片を形成する第1中間電極片
積層工程と、

前記第1有機半導体層及び前記第1中間電極片上に、第2有機半導体層を形
15 成する第2有機半導体層積層工程と、

前記第2有機半導体層上の一部に、前記第1中間電極片とともに前記ソース
電極及びドレイン電極を互いに補完して覆うように、第2中間電極片を形成す
る第2中間電極片積層工程と、

前記第2有機半導体層及び前記第2中間電極片上に、第3有機半導体層を形
20 成する第3有機半導体層積層工程と、を含み、

前記第2及び第3有機半導体層積層工程において、形成された有機半導体を
軟化せしめ前記中間電極片を包埋する包埋工程と、を含むことを特徴とする。

図面の簡単な説明

図 1 は、有機トランジスタを示す断面図である。

図 2 は、図 1 の線 A A における断面図である。

図 3 は、本発明による実施形態の有機トランジスタの断面図である。

5 図 4 は、図 3 の線 A A における断面図である。

図 5 ～図 1 1 は、本発明による実施形態の有機トランジスタの製造工程の一部を示す断面図である。

図 1 2 及び図 1 3 は、本発明による実施形態の有機トランジスタの動作説明図である。

10 図 1 4 及び図 1 5 は、本発明による他の実施形態の有機トランジスタの断面図である。

図 1 6 は、本発明による他の実施形態の有機トランジスタ一体型有機エレクトロルミネッセンス素子を示す断面図である。

図 1 7 は、本発明による実施形態の有機トランジスタの断面図である。

15 図 1 8 は、図 1 7 の線 A A における断面図である。

図 1 9 ～図 2 5 は、本発明による実施形態の有機トランジスタの製造工程の一部を示す断面図である。

図 2 6 は、本発明による他の実施形態の有機トランジスタの断面図である。

図 2 7 は、図 2 6 の線 A A における断面図である。

20 図 2 8 は、本発明による他の実施形態の有機トランジスタ一体型有機エレクトロルミネッセンス素子を示す断面図である。

図 2 9 ～図 3 1 は、本発明による他の実施形態の有機トランジスタの断面図

である。

発明を実施するための形態

本発明による有機半導体素子の実施形態例として有機トランジスタを図面を参照しつつ説明する。

- 5 図3は、実施形態のSIT構造の有機トランジスタの断面を示す。有機トランジスタにおいて、基板10上のソース電極上に、第1p型有機半導体層13p1、第1n型有機半導体層13n1、ゲート電極14、第2n型有機半導体層13n2、第2p型有機半導体層13p2及びドレイン電極15が順に積層されている。これら有機半導体層はキャリア移動性を有しており、第1p型有機半導体層13p1及び第2p型有機半導体層13p2はp型有機半導体材料（正孔輸送性）からなり、第1n型有機半導体層13n1及び第2n型有機半導体層13n2はn型材料（電子輸送性）からなる。かかる素子はpn₂pの接合を備え、それぞれがソース電極11、ゲート電極14及びドレイン電極15に接続されている。よって、実施形態の有機トランジスタは、全体として、ソース電極11及びドレイン電極15間に挟持されたp型有機半導体層を備えた有機半導体素子であって、このp型有機半導体層（第1p型有機半導体層13p1及び第2p型有機半導体層13p2）の間に介在されたn型有機半導体層（第1n型有機半導体層13n1及び第2n型有機半導体層13n2）によって、キャリアの移動が制御される。かかるn型有機半導体層へ制御用の電圧を
15 一様に印加するため、ゲート電極14がn型有機半導体層に包埋されている。

図4に示すように、ゲート電極14はソース電極11及びドレイン電極15のどちら側から見ても、これら電極を覆うように、形成されている。

この実施形態の有機トランジスタは、例えば、次のように製造される。

- まず、図5に示すように、基板10上にソース電極11を形成する。例えばスパッタ法によりインジウム錫酸化物（ITO）又はクロム（Cr）からなるソース電極11を膜厚50nmで成膜する。なお、ソース電極に限らず各電極
- 5 形成には蒸着、スパッタ、CVDなどの方法を用いることができる。

次に、図6に示すように、ソース電極11上に、第1p型有機半導体層13p1として、4, 4'ビス[N-(1-ナフチル)-N-フェニルアミノ]-ビフェニル（いわゆる、 α -NPD）を膜厚25nmで抵抗加熱蒸着により成膜する。

- 10 次に、図7に示すように、第1p型有機半導体層13p1上に、第1n型有機半導体層13n1として、銅フタロシアニン（いわゆる、CuPc）などのポルフィリン化合物又はトリス（8-ヒドロキシキノリン）アルミニウム錯体（いわゆる、Alq3）などのキノリン誘導体を膜厚25nmで抵抗加熱蒸着により成膜する。

- 15 次に、図8に示すように、A1をゲート電極14として膜厚50nmで抵抗加熱蒸着法により平板状に形成する。なお、ゲート電極14全体を例えばLiO₂などの電子注入層の数nm膜厚で被覆するようにも構成できる。

- 次に、図9に示すように、ゲート電極14上に、第2n型有機半導体層13n2として、第1n型有機半導体層と同じCuPc又はAlq3を膜厚25nm
- 20 mで抵抗加熱蒸着により成膜する。

次に、図10に示すように、第2n型有機半導体層13n2上に、第2p型有機半導体層13p2として第1p型有機半導体層と同じ α -NPDを膜厚2

5 nmで成膜する。

最後に、図11に示すように、第2 p型有機半導体層13p2上に、ドレイン電極15としてA1を膜厚200 nmで抵抗加熱蒸着法で成膜して有機トランジスタが作製できる。

- 5 得られた有機トランジスタの動作は、図12に示すように、例えばドレイン電極15接地して、ソース電極11の電位を+10Vとした状態で、ゲート電極14の電位を+20Vとすると障壁が高くなりオフ状態となる。一方、図13に示すように、同じくドレイン電極15接地でソース電極11の電位を+10Vとした状態で、ゲート電極14を開放すると有機半導体層同士の接合だけ
- 10 となるのでオン状態となり、電流が流れる。

- なお、上記実施形態では、pnp接合の例を示したが、npn接合でも構成できる。この場合の素子は、図14に示すように、基板10上のソース電極上に、第1 n型有機半導体層13n1、第1 p型有機半導体層13p1、ゲート電極14、第2 p型有機半導体層13p2、第2 n型有機半導体層13n2及びドレイン電極15が順に積層される。よって、有機トランジスタは、ソース電極11及びドレイン電極15間に挟持された第1及び第2 n型有機半導体層13n1及び13n2のn型有機半導体層に挟持された第1 p型有機半導体層13p1及び第2 p型有機半導体層13p2のp型有機半導体層を備え、かつ、第1 p型有機半導体層13p1及び第2 p型有機半導体層13p2に包埋されたゲート電極14を有するように、構成することもできる。
- 15
- 20

また、上記実施形態では、ゲート電極14は平板状に成膜しているが、この他に、図15に示すように、ゲート電極14は複数の短冊形枝部とした櫛状又

は簾状で形成され得る。この場合、ゲート電極は接触する有機半導体層にほぼ一様に電圧を印加できる形状であればよい。

さらに、図 16 に示すように、上記 S I T 構造の有機トランジスタの構造において、第 1 p 型有機半導体層 13 p 1 及び第 2 p 型有機半導体層 13 p 2 を
5 正孔輸送層としてソース電極 11 及び第 1 p 型有機半導体層 13 p 1 間に電子輸送性の有機発光層 16 を設けることによって、有機トランジスタ一体型有機エレクトロルミネッセンス素子を構成できる。これにより、電流の注入によって発光するエレクトロルミネッセンス（以下、E L ともいう）を呈する有機化合物材料の少なくとも 1 つの薄膜からなる有機発光層を含む有機材料層を各々
10 がアクティブ素子を備えた複数の有機 E L 素子を、マトリクスなどの所定パターンにて表示パネル基板上に形成できる。

有機 E L 素子は、光を取り出す側を透明材料で構成して基板上の 1 対の電極層間に、有機材料層を順次積層されて構成される。例えば、トップエミッション構成の場合には、図 16 に示すものとは、逆に、ドレイン電極 15 と第 2 p
15 型有機半導体層 13 p 2 との間に有機発光層 16 を設けることもできる。

図 17 は、他の実施形態の S I T 構造の有機トランジスタの断面を示す。基板 10 上において、キャリア移動性を有する例えば p 型有機半導体層 13 は、ソース電極 11 及びドレイン電極 15 の間に挟持されるように、設けられている。有機半導体層 13 は p 型（正孔輸送性）の他に、n 型（電子輸送性）でも
20 よく、正孔輸送性及び電子輸送性の少なくとも一方を有する材料で形成できる。

有機半導体層 13 には、それぞれ平板状の 2 つの中間電極片 14 a 及び 14 b からなるゲート電極が包埋されている。中間電極片 14 a 及び 14 b はソース

電極 1 1 及びドレイン電極 1 5 の間に平行に離間して配置されている。図 1 8 に示すように、中間電極片 1 4 a 及び 1 4 b は互いに電氣的に接続されてゲート電極 1 4 として、ソース電極 1 1 及びドレイン電極 1 5 のどちら側から見ても、互いに補完してこれら電極を覆うように、形成されている。なお、中間電極片 1 4 a 及び 1 4 b はソース電極 1 1 及びドレイン電極 1 5 の間の 2 つの平面内にそれぞれ存在するように離間して設けられているが、ソース電極 1 1 及びドレイン電極 1 5 の間であれば、3 以上の平面内にそれぞれに中間電極片を設けることもできる。

この実施形態の有機トランジスタは、例えば、次のように製造される。

10 まず、図 1 9 に示すように、基板 1 0 上にソース電極 1 1 を形成する。例えばスパッタ法によりインジウム錫酸化物 (ITO) 又はクロム (Cr) からなるソース電極 1 1 を膜厚 50 nm で成膜する。なお、ソース電極に限らず各電極形成には蒸着、スパッタ、CVD などの方法を用いることができる。

15 次に、図 2 0 に示すように、ソース電極 1 1 上に、第 1 有機半導体層 1 3 a として、4, 4' ビス [N-(1-ナフチル)-N-フェニルアミノ] -ビフェニル (いわゆる、 α -NPD) を膜厚 50 nm で抵抗加熱蒸着により成膜する。

20 次に、図 2 1 に示すように、第 1 有機半導体層 1 3 a の上部平面の一部分上に、これを介してソース電極 1 1 の一部分を覆うように、マスクを用いて Al を第 1 中間電極片 1 4 a として膜厚 50 nm で抵抗加熱蒸着法により平板状に形成する。

次に、図 2 2 に示すように、第 1 有機半導体層 1 3 a の他の部分及び第 1 中

間電極片 1 4 a 上に、第 2 有機半導体層 1 3 b として第 1 有機半導体層と同じ α -NPD を膜厚 50 nm 程度で成膜する。次に、基板 1 0 全体を有機半導体層のガラス転移点以上融点以下の温度に加熱する。すなわち、 α -NPD のガラス転移温度である 96℃ よりも 10～50℃ 高い温度、例えば 130℃ で 1
5 0 分間、加熱して第 1 中間電極片 1 4 a を第 2 有機半導体層 1 3 b で包埋して、第 2 有機半導体層 1 3 b の表面の平坦化処理を行う。第 2 有機半導体層 1 3 b が軟化して、重力及び表面張力によって、第 1 有機半導体層 1 3 a と融合する。加熱処理は大気中でも可能であるが、材料劣化や汚染防止の点から真空チャンバ内又は窒素置換されたチャンバ内で処理される方が好ましい。軟化温度とし
10 ては、ガラス転移点が 96℃ の有機材料の場合、150℃ 程度の加熱温度で軟化にかかる加熱時間は 5 分程度である。なお、基板全体は減圧又は真空チャンバ内でヒータで加熱されるが、加熱手段はハイドランプなどでもよい。

次に、図 2 3 に示すように、第 2 有機半導体層 1 3 b の上部平面の一部分上に、これを介してソース電極 1 1 の他の部分を覆うように、マスクを用いて A
15 1 を第 2 中間電極片 1 4 b として膜厚 50 nm で抵抗加熱蒸着法により平板状に形成する。ここで、第 2 中間電極片 1 4 b 及び第 1 中間電極片 1 4 a は互いに補完してソース電極 1 1 を覆うように、形成される。第 1 中間電極片 1 4 a 及び第 2 中間電極片 1 4 b は図 2 4 に示すように、第 2 有機半導体層 1 3 b を挟んで離間した重複部分 DP を設けるように形成してもよい。第 2 中間電極片
20 1 4 b は第 1 中間電極片 1 4 a に電氣的に接続されゲート電極の同一電位となり得るよう成膜される。第 2 有機半導体層 1 3 b の成膜により、第 1 中間電極片 1 4 a 及び第 2 中間電極片 1 4 b 間の距離は従来の 1 平面内のゲート電極短

冊枝部をマスクで形成するより小さく、薄膜の膜厚で近接して形成でき、かつ精度が高く両電極間隔を保って形成できる。

次に、図 2 4 に示すように、第 2 有機半導体層 1 3 b の他の部分及び第 2 中間電極片 1 4 b 上に、第 3 有機半導体層 1 3 c として第 1 有機半導体層と同じ
5 α -NPD を膜厚 50 nm 程度で成膜する。次に、上記同様に基板 1 0 全体を有機半導体層のガラス転移点以上融点以下の温度に加熱、すなわち第 2 中間電極片 1 4 b を第 3 有機半導体層 1 3 c で包埋して、表面の平坦化処理を行う。

最後に、図 2 5 に示すように、第 3 有機半導体層 1 3 c 上に、ドレイン電極 1 5 として Al を膜厚 200 nm で抵抗加熱蒸着法で成膜する。有機半導体層
10 成膜後に熱処理を行うため有機半導体層が平坦化され、凹凸のない均一な有機半導体層を有する有機トランジスタが作製できる。

なお、上記実施形態では、第 1、第 2 及び第 3 有機半導体層 1 3 a、1 3 b 及び 1 3 c を p 型材料の α -NPD を成膜しているが、n 型材料としてもよい。
有機半導体層は電子輸送性及び正孔輸送性の少なくとも一方の材料であればよ
15 い。

また、上記実施形態では、中間電極片 1 4 a 及び 1 4 b は平板状に成膜しているが、この他に、図 2 6 に示すように、ソース電極 1 1 及びドレイン電極 1 5 の間の 2 平面におけるゲート電極の中間電極片 1 4 a 及び 1 4 b は、それぞれ複数の短冊形枝部とし、それぞれ櫛状又は簾状で形成され得る。この場合も、
20 図 2 7 に示すように、中間電極片 1 4 a 及び 1 4 b は互いに電氣的に接続されてゲート電極 1 4 として、ソース電極 1 1 及びドレイン電極 1 5 のどちら側から見ても、互いに補完してこれら電極を覆うように、形成される。

さらに、図 28 に示すように、上記 S I T 構造の有機トランジスタの構造において、第 1、第 2 及び第 3 有機半導体層 13a、13b 及び 13c を正孔輸送層としてソース電極 11 及び第 1 有機半導体層 13a 間に電子輸送性の有機発光層 16 を設けることによって、有機トランジスタ一体型有機エレクトロルミネッセンス素子を構成できる。これにより、電流の注入によって発光するエレクトロルミネッセンス（以下、EL ともいう）を呈する有機化合物材料の少なくとも 1 つの薄膜からなる有機発光層を含む有機材料層を各々がアクティブ素子を備えた複数の有機 EL 素子を、マトリクスなどの所定パターンにて表示パネル基板上に形成できる。

10 有機 EL 素子は、光を取り出す側を透明材料で構成して基板上の 1 対の電極層間に、有機材料層を順次積層されて構成される。例えば、トップエミッション構成の場合には、図 28 に示すものとは、逆に、ドレイン電極 15 と第 3 有機半導体層 13c との間に有機発光層 16 を設けることもできる。

また、本発明による他の実施形態の有機トランジスタでは図 29 及び図 30
15 に示すように、第 1 中間電極片 14a 及び第 2 中間電極片 14b を、第 2 有機半導体層 13b を挟んで離間した重複部分を設けないように形成してもよい。

さらに、図 31 に示すように、本発明による他の実施形態の有機トランジスタでは、ソース電極 11 及びドレイン電極 15 の間の 3 平面のそれぞれにゲート電極の中間電極片 14a、14b 及び 14c を積層し、それぞれ複数の短冊
20 形枝部として櫛状又は簾状で形成され得る。

請求の範囲

1. ソース電極及びドレイン電極間に挟持された p 型有機半導体層を備えた有機半導体素子であって、前記 p 型有機半導体層の中間に介在された n 型有機半導体層と、前記 n 型有機半導体層に包埋されたゲート電極と、を備えたことを特徴とする有機半導体素子。
- 5 2. 前記ゲート電極は平板状であることを特徴とする請求項 1 記載の有機半導体素子。
3. 前記ゲート電極は櫛状又は簾状であることを特徴とする請求項 1 記載の有機半導体素子。
- 10 4. ソース電極及びドレイン電極間に挟持された n 型有機半導体層を備えた有機半導体素子であって、前記 n 型有機半導体層の中間に介在された p 型有機半導体層と、前記 p 型有機半導体層に包埋されたゲート電極と、を備えたことを特徴とする有機半導体素子。
5. 前記ゲート電極は平板状であることを特徴とする請求項 4 記載の有機半導体素子。
- 15 6. 前記ゲート電極は櫛状又は簾状であることを特徴とする請求項 4 記載の有機半導体素子。
7. ソース電極及びドレイン電極間に挟持されかつキャリア移動性を有する有機半導体層を備えた有機半導体素子であって、前記有機半導体層に包埋されかつ前記ソース電極及びドレイン電極間に離間して並設された少なくとも 2 つの平面の各々に配置されかつ膜厚方向において配置された少なくとも 2 つの中間電極片からなるゲート電極を有することを特徴とする有機半導体素子。
- 20

8. 前記中間電極片は平板状であることを特徴とする請求項7記載の有機半導体素子。

9. 前記中間電極片は櫛状又は簾状であることを特徴とする請求項7記載の有機半導体素子。

5 10. 前記有機半導体層は電子輸送性及び正孔輸送性の少なくとも一方を有する材料であることを特徴とする請求項7～9のいずれかに記載の有機半導体素子。

11. 前記中間電極片は前記有機半導体層の一部を挟んで離間した重複部分を有することを特徴とする請求項7～10のいずれかに記載の有機半導体素子。

12. ソース電極及びドレイン電極間に成膜されかつゲート電極を包埋する有機半導体層を備えた有機半導体素子の製造方法であって、

ソース電極及びドレイン電極のいずれか上に、第1有機半導体層を形成する第1有機半導体層積層工程と、

15 前記第1有機半導体層上の一部に第1中間電極片を形成する第1中間電極片積層工程と、

前記第1有機半導体層及び前記第1中間電極片上に、第2有機半導体層を形成する第2有機半導体層積層工程と、

前記第2有機半導体層上の一部に、前記第1中間電極片とともに前記ソース電極及びドレイン電極を互いに補完して覆うように、第2中間電極片を形成する第2中間電極片積層工程と、

前記第2有機半導体層及び前記第2中間電極片上に、第3有機半導体層を形

成する第 3 有機半導体層積層工程と、を含み、

前記第 2 及び第 3 有機半導体層積層工程において、形成された有機半導体を軟化せしめ前記中間電極片を包埋する包埋工程と、を含むことを特徴とする有機半導体素子の製造方法。

- 5 1 3. 前記包埋工程は、前記第 1 有機半導体層をそのガラス転移点以上融点以下の温度に加熱することを特徴とする請求項 1 2 記載の有機半導体素子の製造方法。

1 4. 前記有機半導体層は、蒸着により形成されることを特徴とする請求項 1 2 記載の有機半導体素子の製造方法。

1/16

図 1

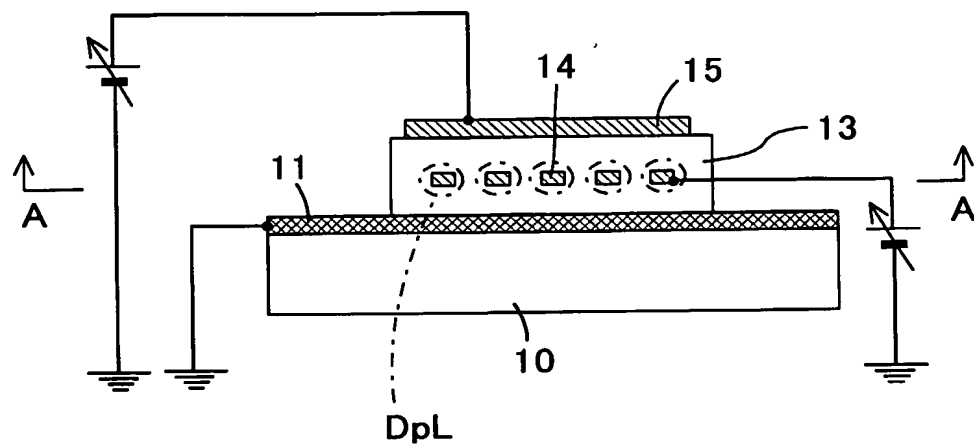


図 2

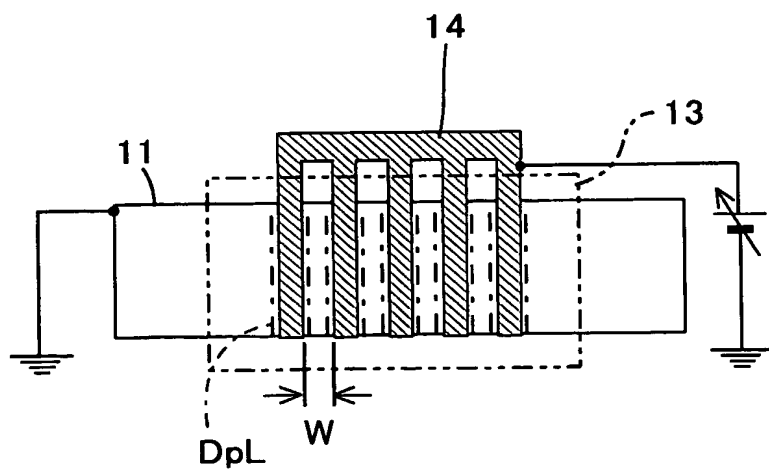


図 3

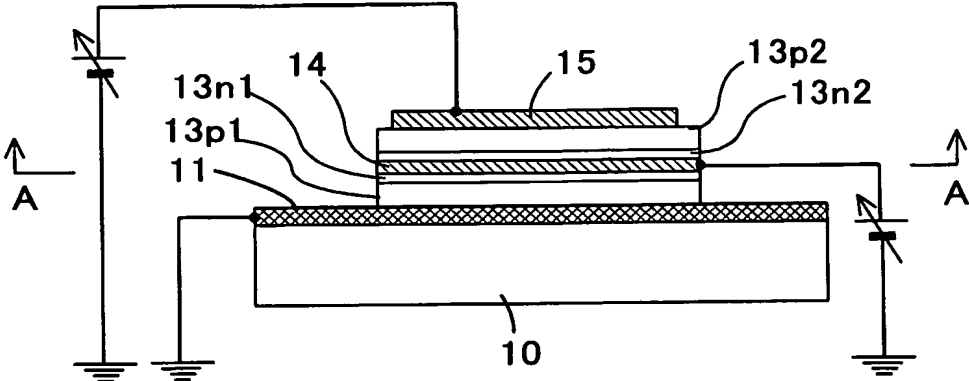
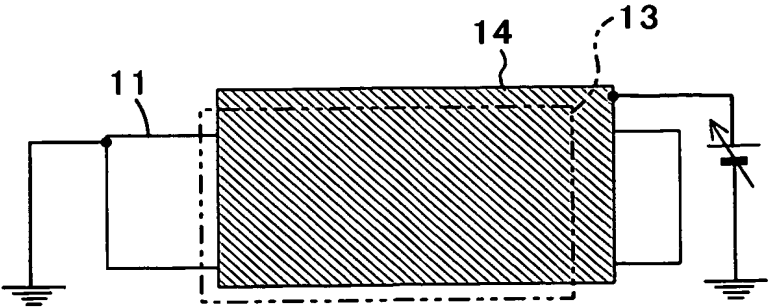


図 4



3/16

図 5

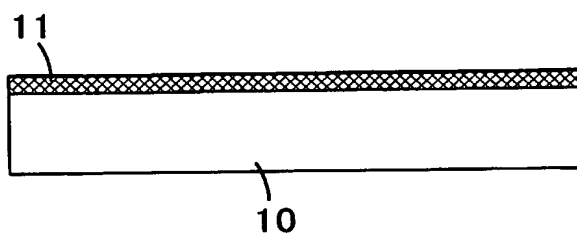
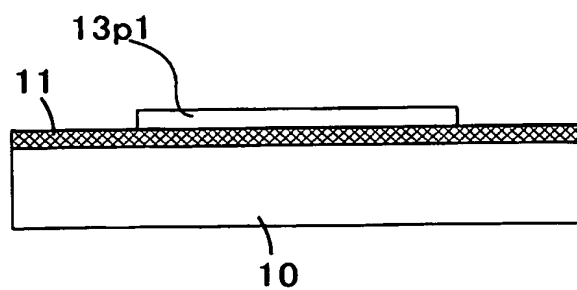


図 6



4/16

図 7

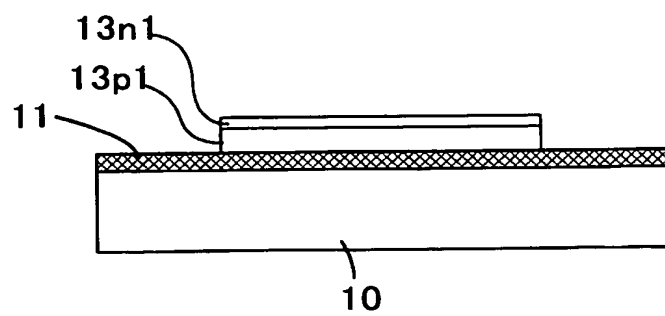


図 8

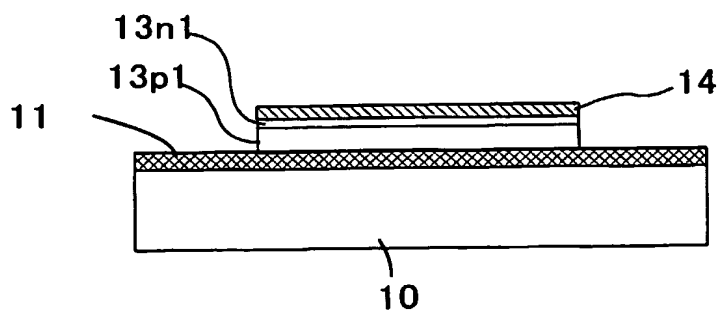


図 9

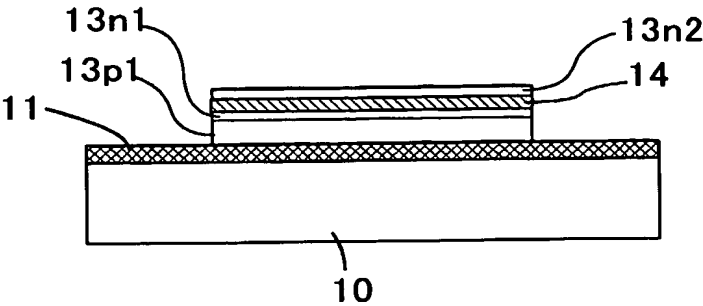
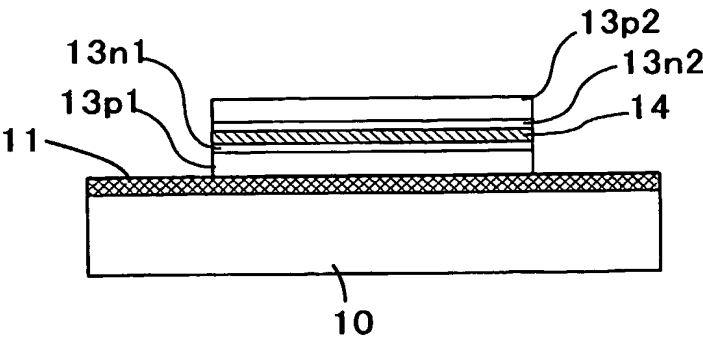


図 1 0



6/16

図 1 1

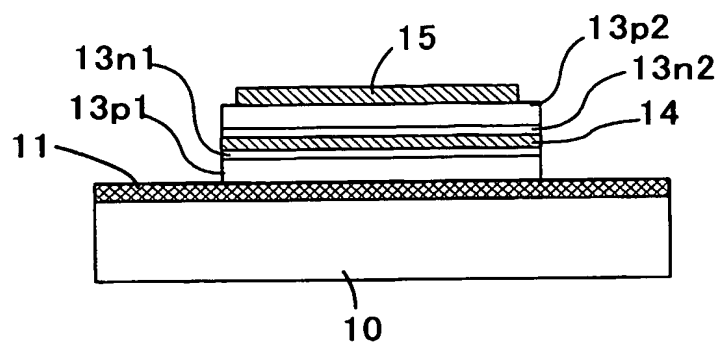


図 1 2

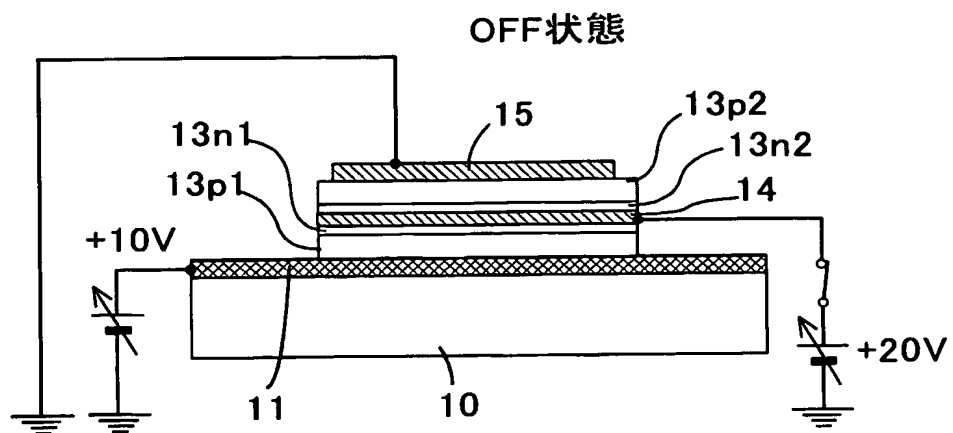


図 1 3

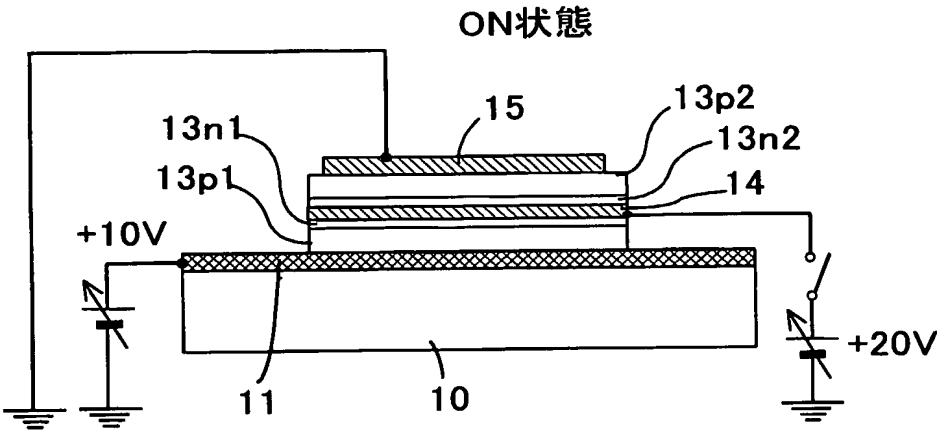


図 1 4

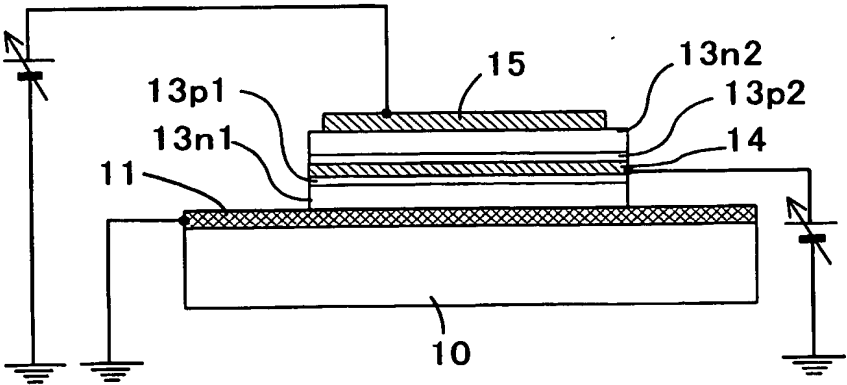


図 1 5

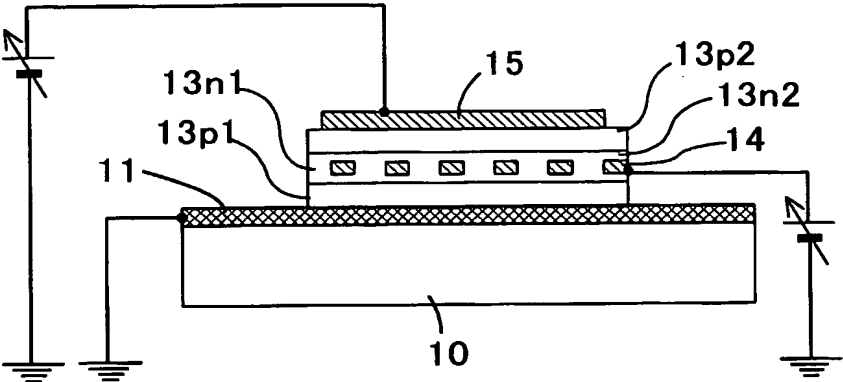
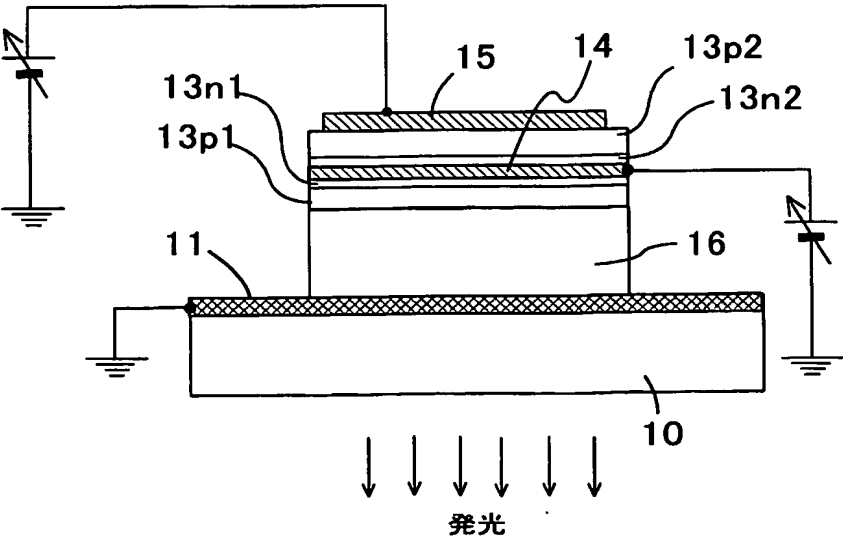


図 1 6



10/16

図 1 9

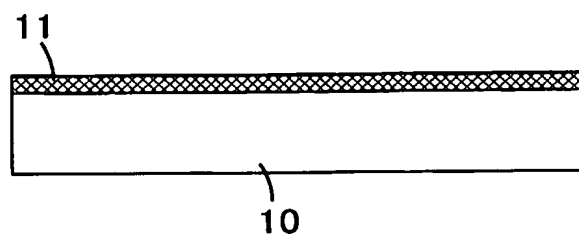
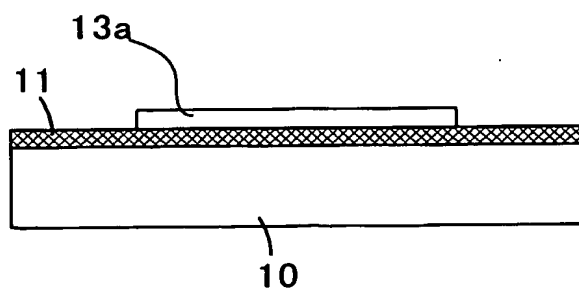


図 2 0



11/16

図 2 1

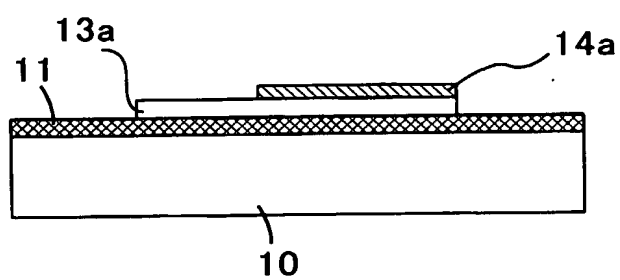


図 2 2

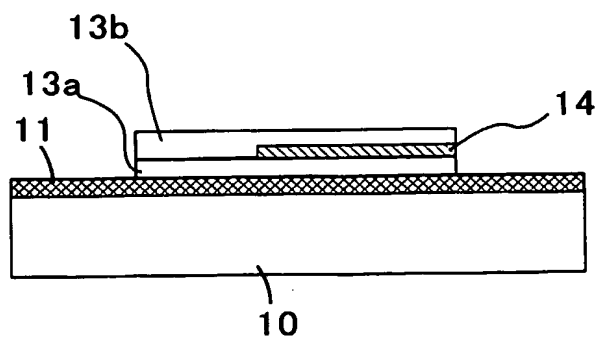


図 2 3

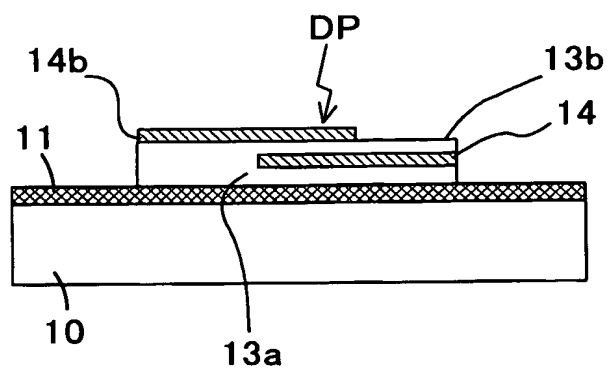


图 2 4

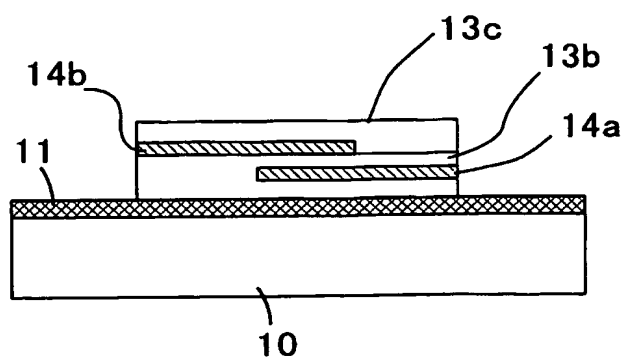


図 2 5

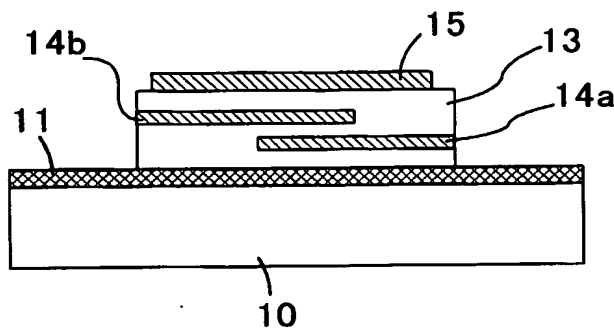
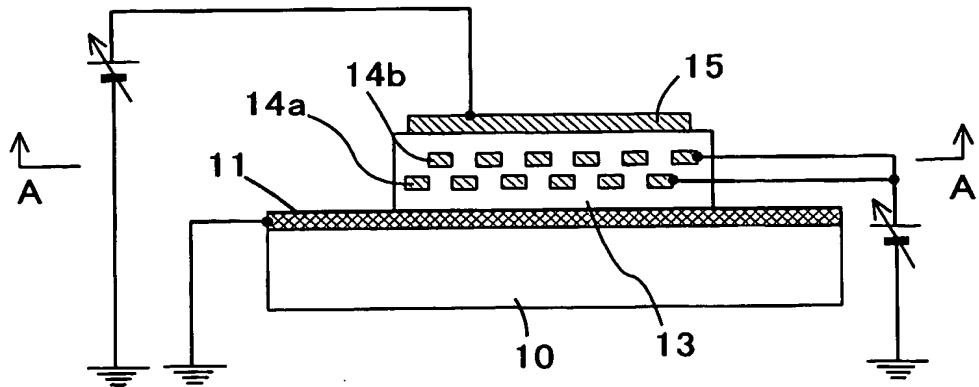


図 2 6



14/16

図 2 7

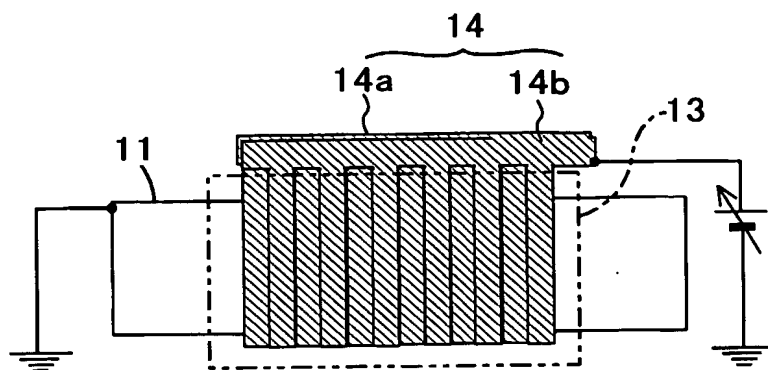


図 2 8

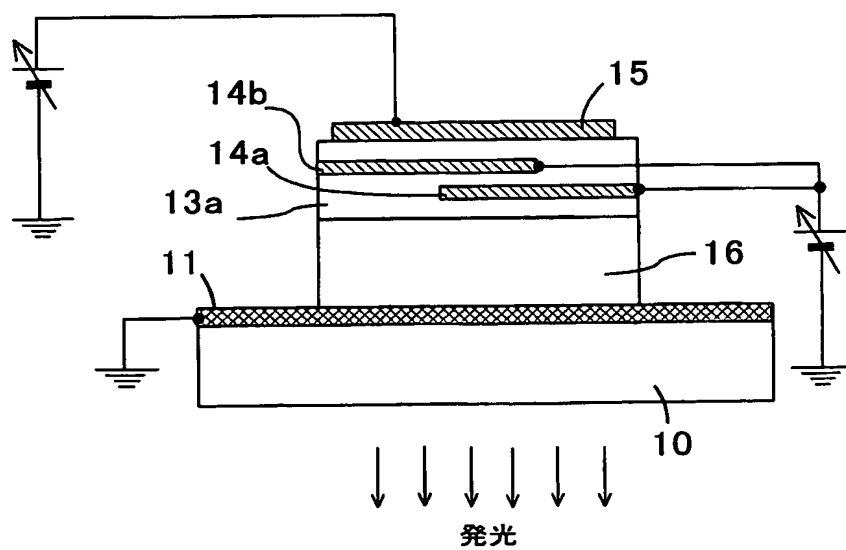


図 2 9

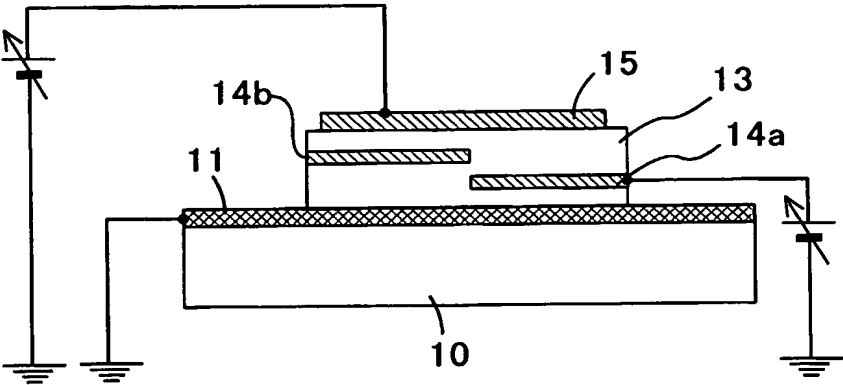
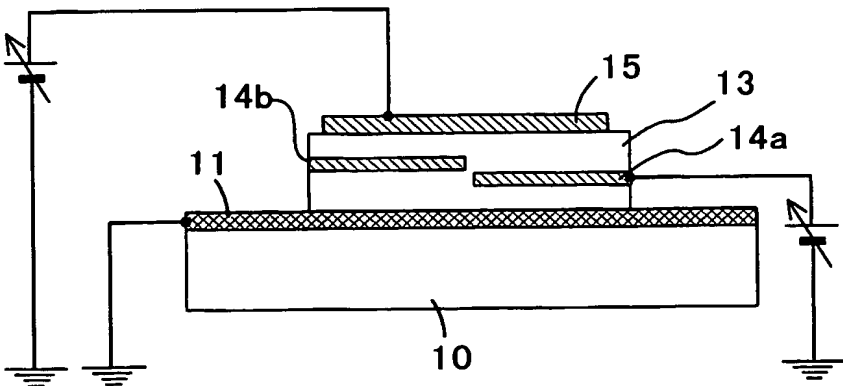
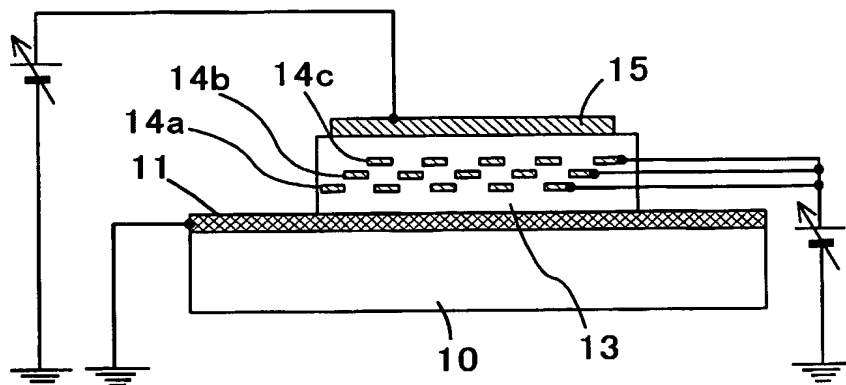


図 3 0



16/16

図 3 1



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08761

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/80, H01L21/334, H01L51/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/80, H01L21/334, H01L51/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE xplore, ISI web of science

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 1-209767 A (Canon Inc.), 23 August, 1989 (23.08.89), Page 2, lower left column, line 9 to lower right column, line 12; page 7, upper left column, lines 4 to 12; page 8, lower left column, line 14 to page 9, lower left column, line 2; Figs. 1 to 3 (Family: none)	7-11 1-6, 12-14
Y A	JP 2001-189466 A (Toshiba Corp.), 10 July, 2001 (10.07.01), Par. Nos. [0027] to [0051]; Fig. 1 (Family: none)	7-11 1-6, 12-14
Y A	KUBO, Kazuhiro et al., Device characteristics of lateral and vertical type organic field effect transistors., Thin Solid Films., 01 August, 2001 (01.08.01), Vol.393, Nos.1,2, pages 362 to 367	7-11 1-6, 12-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not
 considered to be of particular relevance
 "E" earlier document but published on or after the international filing
 date
 "L" document which may throw doubts on priority claim(s) or which is
 cited to establish the publication date of another citation or other
 special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other
 means
 "P" document published prior to the international filing date but later
 than the priority date claimed

"T" later document published after the international filing date or
 priority date and not in conflict with the application but cited to
 understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be
 considered novel or cannot be considered to involve an inventive
 step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be
 considered to involve an inventive step when the document is
 combined with one or more other such documents, such
 combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
 10 October, 2003 (10.10.03)

Date of mailing of the international search report
 28 October, 2003 (28.10.03)

Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08761

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 64-19778 A (Fuji Electric Co., Ltd.), 23 January, 1989 (23.01.89), Page 4, lower right column, line 11 to page 5, lower left column, line 19; Fig. 1 (Family: none)	7-11 1-6, 12-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/80, H01L21/334, H01L51/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/80, H01L21/334, H01L51/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE xplore
ISI web of science

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 1-209767 A (キャノン株式会社) 1989. 8. 23,	7-11
A	第2頁左下欄第9行~右下欄第12行, 第7頁左上欄第4行~第12行, 第8頁左下欄第14行~第9頁左下欄第2行, 第1図~第3図 (ファミリーなし)	1-6, 12-14
Y	J P 2001-189466 A (株式会社東芝) 2001. 7. 10,	7-11
A	【0027】段落~【0051】段落, 第1図 (ファミリーなし)	1-6, 12-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日 10. 10. 03

国際調査報告の発送日 28.10.03

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
小川 将之



4M 9634

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	KUBO, Kazuhiro et. al. Device characteristics of lateral and v ertical type organic field effect transistors.	7-11
A	Thin Solid Films. 1 August 2001, Vol. 393, Nos. 1, 2 , pp. 362-367	1-6, 12-14
Y	J P 64-19778 A (富士電機株式会社) 1989. 1. 23,	7-11
A	第4頁右下欄第11行～第5頁左下欄第19行, 第1図 (ファミリーなし)	1-6, 12-14